

doi:10.14132/j.cnki.1673-5439.2020.06.010

一种工作在近阈值电源电压下的高分辨率数控振荡器

黄曼玉^{1,2}, 万哲辛¹, 吴桐¹, 邵陆钦¹, 郭宇锋^{1,2}, 王子轩^{1,2}

(1. 南京邮电大学 电子与光学工程学院, 江苏 南京 210023
2. 南京邮电大学 射频集成与微组装机技术国家地方联合工程实验室, 江苏 南京 210023)

摘要:文中提出了一种工作在近阈值电源电压下的 LC 数控振荡器(Digitally Controlled Oscillator, DCO),该振荡器采用 PMOS 管和 NMOS 管的交叉耦合结构实现了电流复用,降低了 DCO 的工作电流。DCO 基于一种多阶电容桥接技术,在不采用 $\Delta\Sigma$ 调制器且不增加 DCO 功耗的前提下将单位可变电容值由 3.2 fF 减小到 6.7 aF,提高了 DCO 的分辨率。文中提出的 LC-DCO 在 130 nm CMOS 工艺下进行了流片验证,测试结果显示,在 0.5 V 电源电压,输出频率为 2.4 GHz 时,电路功耗为 0.425 mW,分辨率为 9 kHz,1 MHz 频偏处的相位噪声为 -122.2 dBc/Hz, FoM 为 193.52 dB。

关键词:数控振荡器;分辨率;近阈值电源电压;低功耗

中图分类号:TN752 文献标志码:A 文章编号:1673-5439(2020)06-0063-08

An high-resolution digitally controlled oscillator under near-threshold supply

HUANG Manyu^{1,2}, WAN Zhixin¹, WU Tong¹, SHAO Luqin¹, GUO Yufeng^{1,2}, WANG Zixuan^{1,2}

(1. College of Electronic and Optical Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210023, China
2. National and Local Joint Engineering Laboratory of RF Intergration and Micro-Assembly Technology, Nanjing University of Posts and Telecommunications, Nanjing 210023, China)

Abstract: A LC digitally controlled oscillator(LC-DCO) under near-threshold supply is proposed. The cross-coupling structure of PMOS and NMOS transistors is used to achieve current multiplexing, thus reducing the current of the DCO. A multi-stage capacitance attenuation technology is used for improving the resolution of the DCO without $\Delta\Sigma$ modulator and the power consumption of the DCO is reduced. And the unit variable capacitance value is reduced from 3.2 fF to 6.7 aF. The resolution is 9 kHz when the output frequency is 2.4 GHz. The LC-DCO is tested in 130 nm CMOS process. The measurement results show that the power consumption of the circuit is 0.425 mW at 0.5 V supply voltage, the phase noise is -122.2 dBc/Hz, and the FoM is 193.52 dB.

Keywords: digitally controlled oscillator(DCO); resolution; near-threshold supply; low power

随着集成电路的快速发展,物联网^[1]、能量收集器^[2]和无线传感器网络(Wireless Sensor Network, WSN)^[3-5]等低功耗系统备受人们关注。其中 WSN 广泛应用于各行各业中,例如健康监控系统^[6]、定

位系统和危险区域监控系统。为了减小传感器节点的面积,WSN 需要严格控制电池的尺寸和重量,因此低功耗设计至关重要。尽管低功耗设计在近些年成为研究热点,但系统中射频模块功耗过大的问题

收稿日期:2020-03-22;修回日期:2020-07-22 本刊网址: <http://nyzr.njupt.edu.cn>

基金项目:国家自然科学基金(61504061,61974073)资助项目

作者简介:黄曼玉,女,硕士研究生;郭宇锋(通信作者),男,博士,教授,博士生导师,yfguo@njupt.edu.cn

引用本文:黄曼玉,万哲辛,吴桐,等.一种工作在近阈值电源电压下的高分辨率数控振荡器[J].南京邮电大学学报(自然科学版),2020,40(6):63-70.

已成为延长电池使用寿命的瓶颈,尤其是产生本振信号并具备低相噪性能的锁相环(Phase-Locked Loop, PLL)模块。同模拟 PLL 相比,全数字锁相环(All Digital PLL, ADPLL)^[7-9]具有更好的工艺兼容性,更小的面积以及更低的功耗,备受人们关注。

在 ADPLL 中,数控振荡器(Digitally Controlled Oscillator, DCO)产生的功耗最大,同时又是 ADPLL 带外噪声性能的决定因素。因此,设计一款低功耗低相噪的 DCO 对 ADPLL 乃至 WSN 系统具有重要意义。通过计算品质因子 FoM^[10]来评估 DCO 的整体性能:

$$\text{FoM} = |\text{PN}| + 20\log\left(\frac{f_0}{\Delta f}\right) - 10\log\left(\frac{\text{power}}{1\text{mW}}\right) \quad (1)$$

其中,PN 是相位噪声, f_0 是载波频率, Δf 是频率偏移。DCO 在 ADPLL 的带外相位噪声中占主导地位,由 DCO 的量化效应产生的 ADPLL 带外相位噪声频谱为:

$$\mathcal{L}(\Delta f) = \frac{1}{12f_{\text{ref}}} \cdot \left(\frac{f_{\text{LSB}}}{\Delta f}\right)^2 \cdot \left(\sin c \frac{\Delta f}{f_{\text{ref}}}\right)^2 \quad (2)$$

其中, f_{LSB} 、 Δf 与 f_{ref} 分别表示 DCO 的分辨率、频率偏移和 ADPLL 的参考频率。由式(2)可知,DCO 的频率分辨率在很大程度上决定了环路的带外相位噪声性能。在过去的十年中,为了满足工业需求,研究者

们对 DCO 进行了广泛的研究。环形振荡器的结构简单,调谐范围大,但噪声性能比 LC 振荡器差^[11-13]。为了改善噪声性能,文献[14]采用数模转换器将数字控制字(Oscillator Tuning Words, OTW)转换为电压信号来提高分辨率,但 DAC 模块增加了电路的整体面积和功耗。文献[15-18]使用 MOS 管电容实现调频,降低了电路的功耗,但单位可变电容不能无限小,当其低至 aF 级别时,寄生现象将非常显著。文献[19-20]采用 $\Delta\Sigma$ 调制器,通过高频抖动进一步提高分辨率,但 $\Delta\Sigma$ 调制器需要工作在高频时钟下实现过采样,这会导致功耗上升,同时 $\Delta\Sigma$ 调制器的量化效应会引入额外的相位噪声。

根据 $P = fCV^2$ ^[21],降低电源电压是实现低功耗设计的最有效方法之一。本文提出了一种符合 Zigbee 协议的工作在近阈值电源电压(0.5~0.7 V)下的低功耗 LC-DCO。DCO 用来产生 WSN 系统中正交接收机所需的本振信号,如图 1 所示,在该正交接收器中,不必采用本振正交振荡器产生两倍的载波频率,从而降低了功耗^[22]。文中提出了一种多阶电容桥接技术(Multi-Stage Capacitance Bridging, MACB),大大提高了 DCO 的分辨率,而且功耗没有额外增加。

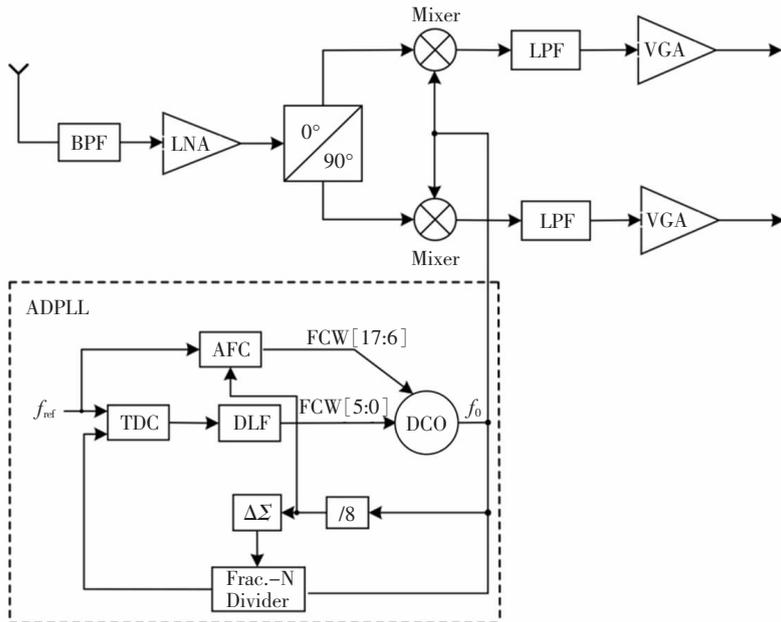


图 1 正交接收机的电路框图

1 基于 MACB 的 LC-DCO

1.1 基于 MACB 的电容器阵列模型

图 2 为基于一阶电容桥接技术的模型。 C_0 、 C_1

分别表示第 0 级、第 1 级电容阵列的总电容值, C_a 为衰减电容, C_0 和 C_1 之间的 C_b 为桥接电容。由于 C_b 的存在,整个电容总阵列的单位可变电容 ΔC_{fra} 大大降低。 ΔC_{fra} 可表示为:

$$\Delta C_{fra} \approx \frac{C_b^2}{4} \cdot \frac{\Delta C_{int}}{(C_1 + C_{1M})^2} = \frac{C_b^2}{4} \cdot \frac{\Delta C_{int}}{a_1^2} \quad (3)$$

其中, C_{1M} 表示第 1 级可变电容阵列的最大电容值, ΔC_{int} 表示单位可变电容值, 即 ΔC_1 。为了简化 MACB 模型中 ΔC_{fra} 的表达式, 使用变量 a_1 来表示系数中分母的主体部分, 以便于后续多阶表达式的推导。从式(3)可以看出, 单位可变电容的值取决于 C_b 、 C_1 和 C_{1M} 的取值。在实际应用中, C_1 在最小值和最大值之间变化, 因此 ΔC_{fra} 是一个变量, 并且当 C_1 等于 C_{1M} 时, 单位可变电容值最小。式(3)成立的前提条件是:

$$C_a = C_{1M} - \frac{C_b}{2} \quad (4)$$

ΔC_{fra} 可以通过调整 C_b 和 $(C_1 + C_{1M})$ 的比值来缩小。 ΔC_{int} 可看作 1 个最低有效位 (Last Significant Bit, LSB) 所对应的电容变化量, ΔC_{fra} 则小于 1 个 LSB 所对应的电容变化量, 相当于小数部分, 这与 $\Delta \Sigma$ -DCO 的原理非常相似。同时该技术不会额外增加电路的功耗以及量化噪声, 故非常适用于低电压和低功耗系统。

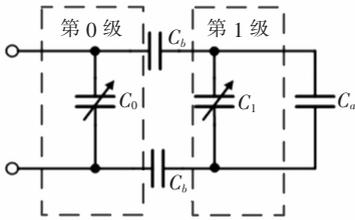


图 2 基于单阶电容桥接技术的电容阵列模型

基于单阶模型, MACB 技术可以实现更高的频率分辨率, 从而满足更严格的系统要求。如图 3 所示, 该模型由一个衰减电容 C_a 、 n 对完全一致的桥接电容 C_b 以及 $(n + 1)$ 级可变电容阵列组成, C_0, C_1, \dots, C_n 表示相应可变电容阵列的实际电容值。整个电容总阵列的单位可变电容可表示为:

$$\Delta C_{fra} \approx \begin{cases} \left(\frac{C_b^2}{4}\right)^2 \frac{\Delta C_{int}}{\left[(C_2 + C_M)(C_1 + C_b) - \frac{C_b^2}{4}\right]^2} = \\ \left(\frac{C_b^2}{4}\right)^2 \frac{\Delta C_{int}}{a_2^2}, & n = 2 \\ \left(\frac{C_b^2}{4}\right)^n \frac{\Delta C_{int}}{a_n^2} = \\ \left(\frac{C_b^2}{4}\right)^n \frac{\Delta C_{int}}{\left[(C_1 + C_b)a_{n-1} - \frac{C_b^2}{4}a_{n-2}\right]^2}, & n > 2 \end{cases} \quad (5)$$

其中, 每一级可变电容阵列具有相同的最大电容值 C_M , C_i 是第 i 级可变电容阵列实际电容, ΔC_{int} 表示第 n 级的单位可变电容值, 即 ΔC_n 。从式(5)中可以看出, 除 C_b 、 C_i 和 C_M 外, ΔC_{fra} 还取决于可变电容阵列的级数。由于指数调制, 衰减因子可以设计得非常大。本模型还可通过增加或减少可变电容阵列的级数来实现不同的指标要求, 而在此过程中, 芯片的功耗基本不受影响。式(5)成立的前提条件是:

$$C_a = C_M - \frac{C_b}{2} \quad (6)$$

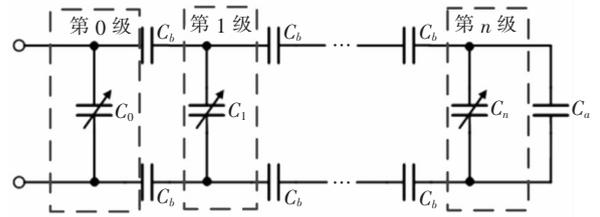


图 3 基于 MACB 技术的电容阵列模型 1

为了进一步提高 DCO 的分辨率, MACB 模型的最后一级采用了一个较小的桥接电容, 如图 4 所示。每一级可变电容阵列都具有相同的最大电容 C_M , 最后一级的桥接电容 C_{bn} 比其他级的桥接电容 C_b 小。此模型的单位可变电容改写为:

$$\Delta C_{fra} \approx \begin{cases} \left(\frac{C_b^2}{4}\right)\left(\frac{C_{bn}^2}{4}\right) \frac{\Delta C_{int}}{\left[(C_2 + C_M)\left(C_1 + \frac{C_b}{2} + \frac{C_{bn}}{2}\right) - \frac{C_b^2}{4}\right]^2} = \\ \left(\frac{C_b^2}{4}\right)\left(\frac{C_{bn}^2}{4}\right) \frac{\Delta C_{int}}{a_2^2}, & n = 2 \\ \left(\frac{C_b^2}{4}\right)^{n-1} \left(\frac{C_{bn}^2}{4}\right) \frac{\Delta C_{int}}{a_n^2} = \\ \left(\frac{C_b^2}{4}\right)^{n-1} \left(\frac{C_{bn}^2}{4}\right) \frac{\Delta C_{int}}{\left[(C_1 + C_b)a_{n-1} - \frac{C_b^2}{4}a_{n-2}\right]^2}, & n > 2 \end{cases} \quad (7)$$

式(7)成立的前提条件同式(6)。

文中测试的芯片使用了图 4 所示的模型。该模型由三级完全相同的可变电容阵列构成, 每一级都由 7 bit 控制字调谐。

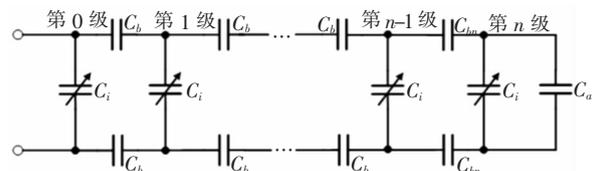


图 4 基于 MACB 技术的电容阵列模型 2

根据仿真结果可知, C_1 和 C_2 的变化范围均为 $1\ 016 \sim 1\ 422.4$ fF, 单元可变电容的变化范围为 $8 \sim 11.2$ fF, 即 $\Delta C_{\text{int}} = 3.2$ fF。将 $C_b = 2$ pF, $C_{bn} = 500$ fF 代入式(3)和式(7), 计算可得不同阶数所对应的 ΔC_{fra} 。当 $n = 1$, 如果使用 500 fF 的桥接电容, 则 ΔC_{fra} 的最小值和最大值分别为 395.4 aF 和 538.2 aF。当 $n = 2$, ΔC_{fra} 与每一级可变电容阵列的实际电容 (C_1 和 C_2) 之间的关系如图 5 所示。

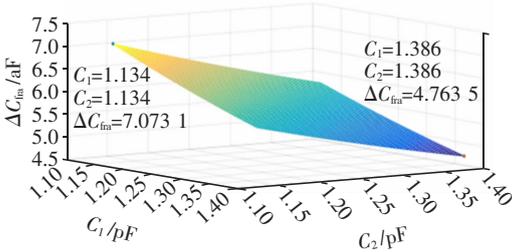


图 5 ΔC_{fra} 与实际电容 (C_1 和 C_2) 之间的关系

当 $C_1 = C_2$

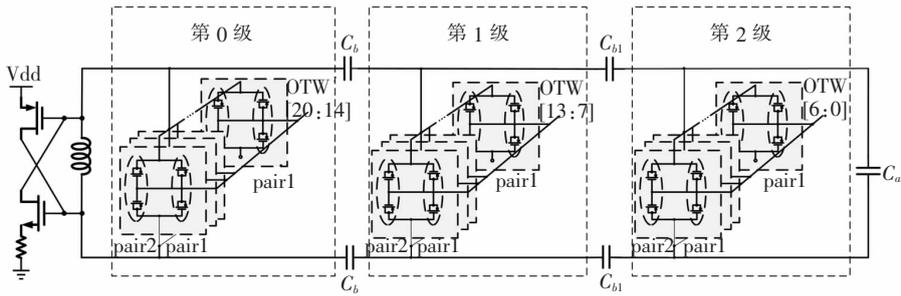


图 6 本文提出的 DCO 结构

电路中的电感为 3 nH, 品质因子为 19 。可变电容阵列采用图 4 所示的模型, 其中包含三级 7 位可变电容阵列, 每一级可变电容阵列都具有相同的最大电容 C_M , 最后一级的桥接电容 C_{bn} 比其他级的桥接电容 C_b 小, 单元电容阵列包括两个反向并联连接的 PMOS 对。当控制信号 OTW 为高电平时, pair1 在反型区工作, pair2 在耗尽区工作。当 OTW 为低电平时, 两者相反, pair2 在反型区工作, 而 pair1 在耗尽区工作。OTW 低电平对应的值为 0 V, 而 OTW 的高电平所对应的值为电源电压 ($0.5 \sim 0.7$ V)。其中, pair1 在耗尽区工作时的电容值为 C_{1H} , 在反型区工作时的电容值为 C_{1E} ; pair2 在耗尽区工作时的电容值为 C_{2H} , 在反型区工作时的电容值为 C_{2E} 。则单位可变电容可表示为 $(C_{1H} + C_{2E}) - (C_{2H} + C_{1E})$, 小于每对电容单独工作时的电容值。pair1 和 pair2 中的晶体管尺寸分别为 $10 \mu\text{m}/130 \text{ nm}$ 、 $6 \mu\text{m}/130 \text{ nm}$, 仿真可得单位电容 C_{Mn} 和单位可变电容 ΔC_{int} 分别为 11.2 fF、 3.2 fF, 因此当输出频率为 2.4 GHz 时, 频率分辨率约为 1.8 MHz。

6.7 aF, 而当 $C_1 = C_2 = 1\ 422.4$ fF 时, ΔC_{fra} 的最小值为 3.5 aF。当 $n = 3$, $C_1 = C_2 = C_3 = 1\ 016$ fF 时, ΔC_{fra} 的最大值为 0.9 aF, 而当 $C_1 = C_2 = C_3 = 1\ 422.4$ fF 时, ΔC_{fra} 的最小值为 0.5 aF。其他情况类似, 当每一级可变电容阵列的实际电容最小时 ($1\ 016$ fF), ΔC_{fra} 取得最大值, 而当实际电容最大时 ($1\ 422.4$ fF), ΔC_{fra} 取得最小值。

1.2 DCO 的设计

本文提出的 LC-DCO 包含一对交叉耦合结构的 MOS 对管和基于 MACB 技术的 LC 谐振模块 (见图 6)。该 DCO 采用了近阈值电源电压 ($0.5 \sim 0.7$ V) 和电流复用技术来降低功耗, 采用交叉耦合结构的 PMOS 管和 NMOS 管实现电流复用。电路中 PMOS 管和 NMOS 管的宽长比分别设置为 $24 \mu\text{m}/130 \text{ nm}$ 、 $15 \mu\text{m}/130 \text{ nm}$ 。当电源电压为 0.5 V 时, 电流值约为 0.85 mA。

根据式(7)可得, C_{bn} 取值越小, 单位可变电容取值就越小, 即可获得较高的分辨率。然而 C_{bn} 不能无限小, 当 OTW [6:0] 溢出时, 要避免相邻频段之间出现频率间隙。例如, OTW [13:0] 从 0000000 1111111 变为 0000001 0000000 时, 相邻频带之间就可能存在间隙。

将 $C_{bn} = 500$ fF, $C_i = 1\ 422.4$ fF, $\Delta C_{\text{int}} = 3.2$ fF 以及 $n = 2$ 代入式(7), 计算可得 DCO 的单位可变电容 ΔC_{fra} 的变化范围为 $3.5 \sim 6.7$ aF。仅仅通过设计电容值和电容结构来获得如此小的单位可变电容是不切实际的。如果采用一个 9 位的 $\Delta\Sigma$ 调制器, 可以得到 aF 级别的单位电容和 kHz 级别甚至更高的分辨率。但是要使 $\Delta\Sigma$ 调制器实现足够的过采样率, 就意味着要使用一个比参考频率至少高一百倍的快时钟作为 $\Delta\Sigma$ 调制器的采样时钟。这不仅意味着功耗的急剧增加, 更重要的是, 通过标准 CMOS 技术几乎不可能在如此高的频率下实现近阈值电源电压的设计。表 1 总结了本文的设计参数。

表1 本文的设计参数

参数	数值	参数	数值
Supply/V	0.5 ~ 0.7	$C_{Mu}^{⑥}/fF$	11.2
$M_p^{①}$	24 $\mu m/130$ nm	$\Delta C_{in}/fF$	3.2
$M_n^{②}$	15 $\mu m/130$ nm	C_M/fF	1 422.4
$M_{p1}^{③}$	10 $\mu m/130$ nm	C_{bn}/fF	500
$M_{p2}^{④}$	6 $\mu m/130$ nm	C_b/pF	2
L/nH	3	C_a/pF	1
$n^{⑤}$	2	$\Delta C_{tra}/aF$	3.5 ~ 6.7

注:① M_p :交叉耦合对中的 PMOS 管;② M_n :耦合对中的 NMOS 管;③ M_{p1} :电容阵列 Pair1 的 PMOS 管;④ M_{p2} :电容阵列 Pair2 的 PMOS 管;⑤ n :电容阵列的级数;⑥ C_{Mu} :单元电容的最大值。

2 实验结果

本文提出的 DCO 在 Cadence IC 软件中进行设计,并在 130 nm 1P8M CMOS 工艺下进行了流片验证。如图 7 所示,芯片面积为 0.7 mm²,包含一个面积 0.12 mm² 的缓冲器电路。DCO 芯片的形状太狭长,长宽比接近 5.6,这是为了迁就整体芯片中其他电路模块而做出的妥协。狭长的版图布局会导致布线困难和信号衰减,这在一定程度上影响了 DCO 的性能,将在后续工作中加以改进。

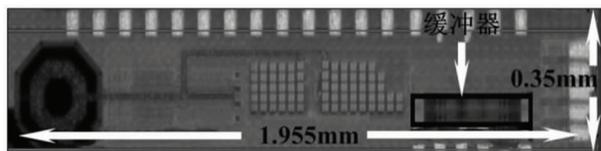


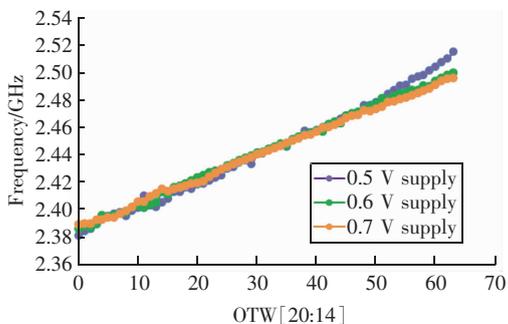
图7 DCO 的显微照相图

DCO 电路工作的电源电压范围为 0.5 ~ 0.7 V,输出缓冲器的工作电压为 1.2 V。DCO 电路在 0.5 V、0.6 V 和 0.7 V 电源电压下产生的电流分别为 0.85 mA、1.2 mA 和 1.9 mA;缓冲器仅用于芯片测试,其功耗约为 7.4 mW。

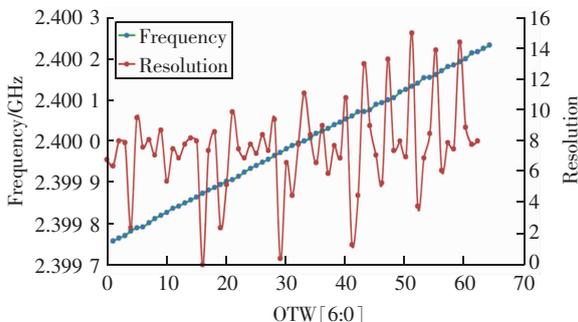
该电路的功耗主要由缓冲器和交叉耦合对产生。如图 6 所示,单位 MOS 变容管由两个反向并联的 PMOS 对管组成,变容管几乎不会增加功耗。因此,通过级联更多(或更少)的变容管组可以得到更高(或更低)的分辨率,芯片的功耗几乎不受影响。但是,增加级数会使芯片的面积增大,成本提高。

DCO 输出频率范围如图 8(a) 所示,当 DCO 在 0.5 V 电源下工作时,输出频率范围为 2.384 ~ 2.516 GHz,调谐范围为 132 MHz。在 0.6 V 和 0.7 V 电源电压下,调谐范围分别为 2.386 ~ 2.508 GHz、2.384 ~ 2.499 GHz。可见,随着电源电

压的增加,调谐范围逐渐变窄。此外,三种电源电压下的最低频率几乎相同,最高频率则与所对应的电源电压成反比。主要原因是当 OTW = 0 时,这三种情况的控制电压相同(0 V),而当 OTW = 1 时,控制电压则不同(0.5 ~ 0.7 V)。如图 8(a) 所示, $C-V$ 高压区域的曲线(图 8(a) 中的黄线)不平坦,该区域的电容随控制电压的升高而变大。因此,在 0.5 V 电源电压下(OTW = 0.5 V)电容值最小,而在 0.7 V 电源电压下(OTW = 0.7 V)电容值最大。另一方面,当 OTW = 0 时,由于控制电压相同(0 V),三种电源电压下的电容值相同。因此,频率调谐范围在 0.5 V 电源电压下最宽,在 0.7 V 电源电压下最窄。



(a) DCO 频率调谐范围(0.5 V)



(b) 频率分辨率测试结果(0.5 V)

图8 DCO 的频率范围和频率分辨率

这三种情况均覆盖 Zigbee 要求的频率范围(2.4 ~ 2.483 5 GHz)。图 8(b) 显示了 0.5 V 电源电压下 DCO 工作在 2.4 GHz 时的频率分辨率。此时 OTW[20:7] = 1 344, OTW[6:0] 在 0 ~ 127 之间变化,DCO 的平均分辨率约为 8.4 kHz,分辨率与频率成正比,DCO 的整体平均分辨率约为 9 kHz。分辨率的变化主要是由于变容管的不匹配造成的,不匹配的原因有两个:一是电源电压的变化影响 ΔC_{in} 的 $C-V$ 曲线;二是寄生电容降低了单位可变电容的精度,从而降低了分辨率的线性度。

根据式(6),当 DCO 在不同频率下工作时,单位可变电容 ΔC_{tra} 会相应变化。因此 DCO 的频率分辨率也是一个变化量:在低频时 ΔC_{tra} 较小,频率分

分辨率较高;而在高频时情况则相反。下面分析变化的分辨率对环路可能产生的影响:

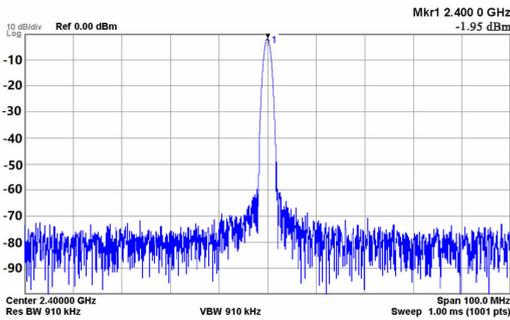
(1) 锁频阶段:ADPLL 在上电时只有自动频率校准 (Auto-Frequency Calibration, AFC) 模块、DCO 和 1/8 分频器处于工作状态。AFC 用于检测输出频率和目标频率之间的频率差并相应地调整 OTW [20:7],此时 OTW [6:0] =64 保持不变。频率锁定不受 ΔC_{fra} 波动的干扰,因为频率锁定不依赖于 ΔC_{fra} 。

(2) 锁相阶段:当 AFC 完成频率锁定后,将冻结 OTW [20:7]并激活数字环路滤波器 (Digital Loop Filter, DLF)、时间-数字转换器 (Time-to-Digital Converter, TDC)和小数分频器。TDC 和 DLF 驱动 DCO 的第三级电容阵列,即通过改变 OTW [6:0]来完成锁相。由于频率分辨率(或 DCO 增益)会影响 ADPLL 的环路增益、带宽和稳定性,因此当 DCO 在不同频率下工作时,这些环路参数会发生变化。频率锁定受到的影响可以忽略不计,但相位锁定受到的影响不容忽视,尤其是对于具有宽调谐范围的 AD-

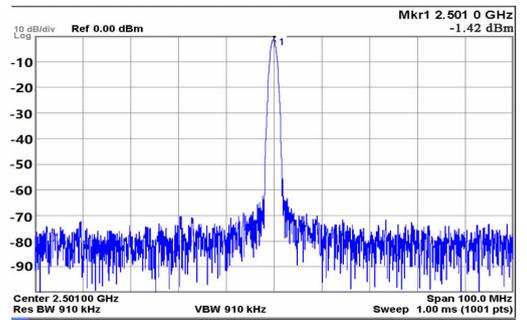
PLL。为了避免环路性能受到影响甚至锁定失效,应根据 DCO 的输出频率慎重选择参数,也可以采用可编程数字环路滤波器来补偿频率分辨率的波动。

(3) 锁定后:当环路完成锁定后,OTW [20:7]保持不变,只有 OTW [6:0]可以变化。因此根据1.1节中的分析,尽管 ΔC_{fra} 是一个可变值,但 ΔC_{fra} 的变化范围非常有限。例如,当 ADPLL 工作在 2.4 GHz 时,OTW [20:14] =10,而 OTW [13:7] =64,此时 $C_0 =1\ 048\text{ fF}$, $C_1 =1\ 220.8\text{ fF}$ 。假定 OTW [6:0]具有最大的变化范围,即 0 ~ 127, C_2 相应地从 1 016 fF 变为 1 422.4 fF。计算可得 ΔC_{fra} 从 5.1 aF 变为 6.3 aF,变化范围仅为 1.2 aF。实际上, ΔC_{fra} 的变化范围比 1.2 aF 更小,因为当 ADPLL 锁定时,OTW [6:0]并不会从 0 波动为 127。因此,当 ADPLL 锁定后,频率分辨率的波动可以忽略不计。

低频和高频的输出频谱如图 9 所示。在 0.5 V 电源电压下,当输出频率为 2.4 GHz 时,输出功率为 -1.95 dBm;当输出频率为 2.5 GHz 时,输出功率为 -1.42 dBm。



(a) 输出频率为 2.4 GHz



(b) 输出频率为 2.5 GHz

图 9 0.5 V 电源电压下的输出频谱图

由上述可知,当输出频率为 2.4 GHz 时,分辨率约为 8.4 kHz。本文的参考时钟为 50 MHz,根据式(2)计算可得,在输出频率为 2.4 GHz 时,在 1 MHz

频偏处产生的相位噪声分别约为 -205 dBc/Hz。图 10 给出了 DCO 在 0.5 V 电源电压下工作时测得的相位噪声图。



(a) 2.4 GHz



(b) 2.5 GHz

图 10 0.5 V 电源电压下的相位噪声测试

测量结果显示:在 2.4 GHz 载波上,相位噪声 10 kHz 频偏处为 -52.1115 dBc/Hz,100 kHz 频偏处为 -76.0526 dBc/Hz,1 MHz 频偏处为 -122.2067 dBc/Hz,3 MHz 频偏处为 -130.8528 dBc/Hz。在 2.5 GHz 载波上,相位噪声在 10 kHz 频偏处为 -46.5848 dBc/Hz,100 kHz 频偏处为 -71.0387 dBc/Hz,1 MHz 频偏处为 -120.7571 dBc/Hz,3 MHz 频偏处为 -130.0356 dBc/Hz。

图 11 总结了在 0.5~0.7 V 电源电压下 1 MHz 频偏处整个调谐范围内的相位噪声性能。在 0.5 V、0.6 V 和 0.7 V 的电源电压下测得的相位噪声范围分别是 $-122.2 \sim -120.8$ dBc/Hz、 $-126.5 \sim -125.9$ dBc/Hz 和 $-128.5 \sim -127.6$ dBc/Hz。当 VDD=0.7 V 时,DCO 具有最佳的相位噪声性能,但功耗最大,大约是 VDD=0.6 V 时的两倍。在 0.5 V 电源电压下,尽管相位噪声严重恶化,但功耗仅为 0.425 mW,这为未来的工作指明了方向,将尝试在小于 0.5 V 甚至低于阈值的电源电压下设计电路,进一步降低功耗。表 2 总结了类似工作之间的性能比较。

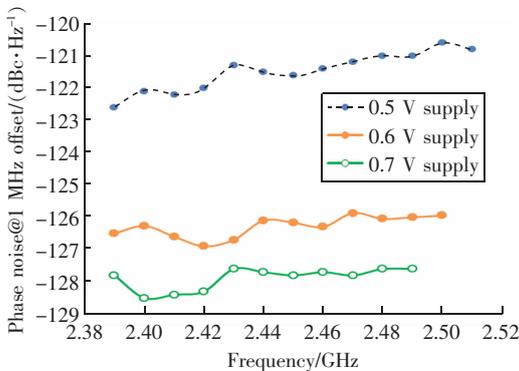


图 11 三种电源电压下 1 MHz 频偏处的相位噪声

表 2 与相似工作的指标对比

指标	ISSC ^[2]	TCAS II ^[3]	ISSC ^[5]	ASSC ^[10]	本文
技术	16 nm-FinFET	55 nm-CMOS	65 nm-CMOS	90 nm-CMOS	130 nm-CMOS
结构	Class-F	$\Delta\Sigma$	Ring	MOS varactor	MACB
电压/V	0.4	0.55	—	1.2	0.5~0.7
频率/GHz	3.2~4.0	2.23~2.7	2.3~2.5	3.05~3.65	2.384~2.51
分辨率/kHz	1.3	2.44	—	5	9
相噪 @ 1 MHz/ (dBc·Hz ⁻¹)	-122	-119.05	-101	-118	-122.2
功耗/mW	3.8	0.26	5.16	2.4	0.425
FoM/dB	190	193.42	161.48	183.9	193.52

如表 2 所示,当 VDD=0.5 V 时,文中提出的 DCO 在 2.4 GHz 载波上 1 MHz 频偏处的相位噪声为 -122.2 dBc/Hz,功耗为 0.425 mW,FoM 值为 193.52 dB。当 VDD=0.6 V 时,FoM 值 195.5 dB;VDD=0.7 V 时,FoM 值为 194.8 dB。由此可见,FoM 值在 0.6 V 电源电压下最佳。

本文提出的 DCO 的 FoM 值较高,但输出频率范围窄,这将其应用限制在窄带系统中。该模型可以通过增加变容管阵列来扩展频率范围,但会使芯片面积增大,成本提高。本文提出的 DCO 在频率范围和面积之间存在折衷关系。另外,在输出频率没有间隙的前提下,可以适当减少相邻频带之间的频率重叠,但这会降低电路的抗 PVT 性。

3 结束语

本文提出了一种可用于低电压和低功耗系统中的基于 MACB 技术的 DCO,该 DCO 采用近阈值电源电压技术和电流复用结构来降低功耗。基于 MACB 技术的 LC-DCO 包含三个结构相同的 7 位变容管阵列,变容管阵列的单元电容为 MOS 变容管,由两个反向并联的 PMOS 对管组成, ΔC_{ini} 为 3.2 fF。在本文中, ΔC_{tra} 的变化范围为 3.5~6.7 aF,DCO 的频率分辨率为 9 kHz。

根据分析和设计,本文提出的 DCO 在 130 nm CMOS 工艺下进行了流片验证。当电源电压分别为 0.5 V、0.6 V 和 0.7 V 时,DCO 消耗的功率分别为 0.425 mW、0.72 mW 和 1.26 mW。在 0.5 V 电源下,频率范围为 2.384~2.514 GHz,并且随着电源电压的升高,最高频率逐渐降低。当输出频率为 2.4 GHz 和 2.5 GHz 时,在 1 MHz 频偏处测得的相位噪声分别为 -122.2 dBc/Hz、 -120.8 dBc/Hz。当输出频率为 2.4 GHz 时,FoM 值为 193.52 dB。由于采用了电流复用技术,DCO 的噪声性能几乎与传统的交叉耦合结构(理论上消耗双倍电流)相同。由于采用了 MACB 技术,分辨率大大提高,功耗也没有额外增加。文中提出的 MACB 技术可通过改变可变电容阵列的数量来满足不同系统的技术指标。此外,MACB 技术除了适用于 LC 结构的 DCO,还适用于环形振荡器,但存在噪声与面积的折衷关系。本文的缺陷是频率范围较窄(115 MHz),这限制了其应用场合。

参考文献:

[1] JURGO M,NAVICKAS R. Structure of all-digital frequency

- synthesiser for IoT and IoV applications [J]. *Electronics*, 2018, 8(1):29.
- [2] LI C C, YUAN M S, CHIH H C, et al. A 0.2V trifilar-coil DCO with DC-DC converter in 16nm finFET CMOS with 188dB FOM, 1.3kHz resolution, and frequency pushing of 38MHz/V for energy harvesting applications [C] // *IEEE International Solid-State Circuits Conference*. 2017: 332–334.
- [3] SAYILIR S, LOKE W F, LEE J, et al. A-90 dBm sensitivity wireless transceiver using VCO-PA-LNA-switch-modulator Co-design for low power insect-based wireless sensor networks [J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(4):996–1006.
- [4] SHIRANE A, TAN H, FANG Y, et al. A 5.8GHz RF-powered transceiver with a 113 μW 32-QAM transmitter employing the IF-based quadrature backscattering technique [C] // *IEEE International Solid-State Circuits Conference*. 2015:248–249.
- [5] 王子轩, 王鑫, 蔡志匡, 等. 一种基于多级电容衰减技术的低电压数控振荡器 [J]. *固体电子学研究进展*, 2019, 39(5):344–349, 385.
WANG Zixuan, WANG Xin, CAI Zhikuang, et al. A low-voltage digitally controlled oscillator based on multi-stage capacitance shrinking technique [J]. *Research & Progress of SSE*, 2019, 39(5):344–349, 385. (in Chinese)
- [6] AKYILDIZ I F, SU W L, SANKARASUBRAMANIAM Y, et al. A survey on sensor networks [J]. *IEEE Communications Magazine*, 2002, 40(8):102–114.
- [7] LI C C, YUAN M S, LIAO C C, et al. All-digital PLL for bluetooth low energy using 32.768-kHz reference clock and $\leq 0.45\text{-V}$ supply [J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(12):3660–3671.
- [8] ABBASIZADEH H, ALIM I, RIKAN B S, et al. 260 μW DCO with constant current over PVT variations using FLL and adjustable LDO [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2018, 65(6):739–743.
- [9] POURMOUSAVIAN N, KUO F W, SIRIBURANON T, et al. A 0.5 V 1.6 mW 2.4 GHz fractional-N all-digital PLL for bluetooth LE with PVT-insensitive TDC using switched-capacitor doubler in 28 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(9):2572–2583.
- [10] BAE J, RADHAPURAM S, JO I, et al. A design of 0.7 V 400 MHz digitally-controlled oscillator [J]. *IEICE Transactions on Electronics*, 2015, 98, C(12):1179–1186.
- [11] TAEHO S, YOUNG S L, SEYEON Y, et al. A-242 dB FOM and -75dBc -reference-spur ring-DCO-based all-digital PLL using a fast phase-error correction technique and a low-power optimal-threshold TDC [C] // *Proceedings of the IEEE International Solid-State Circuit Conference*. 2018:396–398.
- [12] SHENG D, CHUNG C C, LAN J C, et al. Monotonic and low-power digitally controlled oscillator with portability for SoC applications [J]. *Electronics Letters*, 2012, 48(6):321.
- [13] YU C Y, CHUNG C C, YU C J, et al. A low-power DCO using interlaced hysteresis delay cells [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2012, 59(10):673–677.
- [14] LIU Y H, VAN DEN HEUVEL J, KURAMOCHI T, et al. An ultra-low power 1.7–2.7 GHz fractional-N sub-sampling digital frequency synthesizer and modulator for IoT applications in 40 nm CMOS [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2017, 64(5):1094–1105.
- [15] MACAITIS V, NAVICKAS R. Design of high frequency, low phase noise LC digitally controlled oscillator for 5G intelligent transport systems [J]. *Electronics*, 2019, 8(1):72.
- [16] ZHUANG J C, DU Q J, KWASNIEWSKI T. A 3.3 GHz LC-based digitally controlled oscillator with 5 kHz frequency resolution [C] // *Proceedings of the IEEE Asian Solid-State Circuits Conference*. 2018:428–431.
- [17] WANG S H, QUAN J G, LUO R, et al. A noise reduced digitally controlled oscillator using complementary varactor pairs [C] // *Proceedings of the IEEE International Symposium on Circuits and Systems*. 2007:937–940.
- [18] HAN J H, CHO S H. Digitally controlled oscillator with high frequency resolution using novel varactor bank [J]. *Electronics Letters*, 2008, 44(25):1450.
- [19] WANG Z X, HU S W, CAI Z K, et al. A 2.4-GHz all-digital phase-locked loop with a pipeline $-\Delta\Sigma$ time-to-digital converter [J]. *IEICE Electronics Express*, 2017, 14(6):20170095.
- [20] STASZEWSKI R B, WAHEED K, DULGER F, et al. Spur-free multirate all-digital PLL for mobile phones in 65 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(12):2904–2919.
- [21] HO Y, YANG Y S, CHANG C, et al. A near-threshold 480 MHz 78 μW all-digital PLL with a bootstrapped DCO [J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(11):2805–2814.
- [22] SELVAKUMAR A, ZARGHAM M, LISCIDINI A. Sub-mW current Re-use receiver front-end for wireless sensor network applications [J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(12):2965–2974.